

**Projeto Telefone VoIP**

UNIVERSIDADE FEDERAL DO CEARÁ

FUNDAÇÃO ASTEF

FUNDECI – BANCO DO NORDESTE

**Fortaleza**

**Janeiro de 2012**

Título do projeto: Telefone VOIP

Entidade: Universidade Federal do Ceará

Coordenador: Prof. João César de Moura Mora

Local: Fortaleza

Data: 18 de janeiro de 2012

OBS: Relatório parcial de atividades referente ao período de 19 de maio de 2011 a 31 de janeiro de 2012.

**RESUMO**

A excelente aceitação da comunicação VoIP como uma alternativa na área de telecomunicações provocou um aumento da demanda por novas ideias e produtos que desenvolvessem suas potencialidades e agregassem valor a essa tecnologia. Neste sentido, em um momento em que há um aumento considerável no lançamento de soluções tecnológicas sem fio, identificou-se a necessidade de também agregar esta funcionalidade a um telefone IP, convergindo uma solução de grande potencial da área de telecomunicações e a comodidade proporcionada por um equipamento móvel. Portanto, o objetivo geral do projeto é o desenvolvimento de uma plataforma de comunicação que suporte a realização de chamadas telefônicas utilizando tecnologia VoIP no cenário de uma rede sem fio.

A metodologia do projeto consiste na execução das tarefas previamente definidas, em que permitirão a finalização do projeto no prazo planejado. O projeto prevê duas fases distintas, que são chamadas de protótipos. No ciclo do primeiro protótipo busca-se alcançar os requisitos que necessitam provas de conceito, enquanto no segundo protótipo são corrigidos pequenos erros do primeiro protótipo e implementadas os requisitos de menor prioridade.

Na presente data, após uma fase inicial de pesquisa de arquitetura para avaliação das soluções disponíveis e viáveis para o projeto, o primeiro protótipo está em fase de fabricação, aguardando a chegada dos componentes eletrônicos e das placas de circuito impresso, para posterior montagem e fase de testes de integração entre hardware e firmware. O firmware, que representa o software de baixo nível, que é executado no sistema embarcado, está em fase de desenvolvimento e será testado, tão breve o primeiro protótipo esteja montando e testado.

Os resultados obtidos até o momento são satisfatórios, visto que as fases de definição de arquitetura, elaboração de esquema elétrico e layout da placa de circuito impresso foram cuidadosamente elaborados, no sentido de evitar erros, permitindo assim o sucesso na integração entre hardware e firmware. As dificuldades encontradas no projeto são relativas ao processo de aquisição de componentes e das placas de circuito impresso, pois a maioria deles é adquirido fora do país, o que dificulta o processo de obtenção, provocando um trabalho excessivo e demorado, acarretando atraso em algumas atividades do projeto.

PALAVRAS CHAVE: VoIP, hardware, firmware, sistemas embarcados.

**SITUAÇÃO DAS PARCERIAS**

Este projeto é executado pela UFC em parceria com a Fundação ASTEF, que tem por objetivo executar os serviços administrativos e contábeis do projeto. Até o presente momento, a Fundação ASTEF vem executando corretamente as atividades previamente designadas, contribuindo assim para o sucesso do projeto.

**METAS REALIZADAS**

As metas abaixo apresentadas tem início relativo ao mês de julho de 2011. Embora o convênio tenha sido assinado no dia 19 de maio os recursos foram repassados no final de junho, postergando assim o início do projeto para julho de 2011.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Atividade | previsto | realizado | Situação | Justificativa |
| A1: Estudo da arquitetura proposta | JUL/2011 | JUL/2011 | CONCLUÍDO |  |
| A2: Pesquisa de componentes críticos | AGO/2011 | AGO/2011 | CONCLUÍDO |  |
| A3: Desenvolvimento do esquema elétrico (V1) | SET/2011 | SET/2011 | CONCLUÍDO |  |
| A4: Revisão do esquema elétrico (V1) | SET/2011 | SET/2011 | CONCLUÍDO |  |
| A5: Layout inicial do sistema (V1) | NOV/2011 | NOV/2011 | CONCLUÍDO |  |
| A6: Fabricação e montagem da PCI (V1); | DEZ/2011 | JAN/2012 | ATRASO | Atraso no processo de licitação |
| A7: Testes de hardware (V1); | DEZ/2011 | FEV/2012 | RE-PLAN | Re-planejada pelo atraso na atividade A6 |
| A8: Desenvolvimento do firmware (V1) | DEZ/2011 | FEV/2012 | RE-PLAN | Re-planejada pelo atraso na atividade A7 |
| A9: Integração inicial com o firmware (V1) | MAR/2012 |  | ANDAMENTO |  |
| A10: Pesquisa da patente | MAR/2012 |  | ANDAMENTO |  |
| A11: Esquema elétrico (V2) | MAR/2012 |  | PREVISTO |  |
| A12: Layout final do sistema (V2) | MAR/2012 |  | PREVISTO |  |
| A13: Fabricação e montagem (V2) | JUN/2012 |  | PREVISTO |  |
| A13: Integração final com firmware (V2) | JUN/2012 |  | PREVISTO |  |
| A14: Desenvolvimento do firmware (V2) | JUN/2012 |  | PREVISTO |  |
| A15: Produção científica: preparação de relatórios técnicos internos e publicação de artigos em congressos e periódicos | JUN/2012 |  | ANDAMENTO |  |

**SUMÁRIO**

[1. Introdução 8](#_Toc315084207)

[2. Atividades de Hardware 9](#_Toc315084208)

[2.1. Elaboração da Arquitetura 10](#_Toc315084209)

[2.2. Pesquisa de Componentes Críticos 10](#_Toc315084210)

[2.3. Desenvolvimento do Esquema Elétrico 11](#_Toc315084211)

[2.4. Layout 12](#_Toc315084212)

[2.5. Fabricação e Montagem da PCI 13](#_Toc315084213)

[3. Atividades de Firmware 14](#_Toc315084214)

[3.1. Protótipo de Hardware (Versão de Referência) 14](#_Toc315084215)

[3.2. Ambiente de Desenvolvimento 15](#_Toc315084216)

[3.3. Bootloader 16](#_Toc315084217)

[3.4. uClinux 16](#_Toc315084218)

[3.5. Aplicação 16](#_Toc315084219)

[3.6. Cenário de Testes 17](#_Toc315084220)

[3.7. Relatório de Firmware 18](#_Toc315084221)

[4. Atividades Complementares 19](#_Toc315084222)

[5. Documentos de Referência 20](#_Toc315084223)

[6. Conclusão 21](#_Toc315084224)

**LISTAS**

[Figura 1 – Arquitetura de hardware. 10](#_Toc315084225)

[Figura 2 – Esquemas elétricos. 12](#_Toc315084226)

[Figura 3 – Modelo tridimensional da placa de circuito impresso. 13](#_Toc315084227)

[Figura 4 – Arquitetura de hardware da Versão de Referência 14](#_Toc315084228)

[Figura 5 – Protótipo de hardware da Versão de Referência 15](#_Toc315084229)

[Figura 6 – Arquitetura de testes. 17](#_Toc315084230)

# Introdução

O projeto Blackfin IP Phone consiste em um telefone IP com a funcionalidade básica de realizar ligações VoIP. Essa tecnologia compreende um método de comunicação através da fala entre dois locais através de um meio digital de comunicação. A telefonia IP vem sendo abordada há alguns anos o que é motivado pela sua crescente aplicabilidade, bem como a possibilidade de agregação de outras funcionalidades o que a torna um campo de estudo bastante atrativo. A arquitetura de hardware proposta se baseia no processador ADSP-BF516 da família de processadores Blackfin, fabricada pela Analog Devices.

Este documento se destina a todos os desenvolvedores do projeto Blackfin IP Phone, bem como coordenação de projeto e cliente. O principal objetivo deste documento é indicar todos os avanços alcançados no primeiro semestre, o que se dá através da apresentação das atividades que foram desenvolvidas neste período e dos resultados mais significativos.

No início do projeto foram definidas duas equipes de desenvolvedores que, junto à coordenação, constituem a equipe técnica. Essas são as equipes de hardware e firmware, compostas por 3 desenvolvedores. A distinção entre equipes junto a atribuição de responsabilidades bem definidas permite que haja um paralelismo na execução das atividades, proporcionando uma melhor distribuição das atividades e melhor aproveitamento dos recursos do projeto. Deste modo, este documento encontra-se dividido em seções que contém separadamente o acompanhamento das atividades desempenhadas por cada equipe de desenvolvedores. Por fim, são apresentadas atividades complementares desenvolvidas ao longo do primeiro semestre.

# Atividades de Hardware

Para o atendimento dos requisitos e funcionalidades descritas no Documento de Requisitos e na Proposta de Projeto, as atividades devem ser executadas na sequência e no período definidos no cronograma apresentado abaixo.

* A1: Elaboração da arquitetura.
* A2: Pesquisa de componentes críticos.
* A3: Desenvolvimento do esquema elétrico (V1).
* A4: Revisão do esquema elétrico (V1).
* A5: Layout (V1).
* A6: Fabricação e montagem da PCI (V1).
* A7: Testes de hardware (V1).
* A8: Desenvolvimento do firmware (V1).
* A9: Integração com o firmware (V1).
* A10: Pesquisa da patente.
* A11: Esquema elétrico (V2).
* A12: Layout (V2).
* A13: Fabricação e montagem (V2).
* A13: Integração com firmware (V2).
* A14: Desenvolvimento do firmware (V2).
* A15: Produção científica.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 1o trimestre | 2o trimestre | 3o trimestre | 4o trimestre |
| A1 |  |  |  |  |
| A2 |  |  |  |  |
| A3 |  |  |  |  |
| A4 |  |  |  |  |
| A5 |  |  |  |  |
| A6 |  |  |  |  |
| A7 |  |  |  |  |
| A8 |  |  |  |  |
| A9 |  |  |  |  |
| A10 |  |  |  |  |
| A11 |  |  |  |  |
| A12 |  |  |  |  |
| A13 |  |  |  |  |
| A14 |  |  |  |  |
| A15 |  |  |  |  |

## Elaboração da Arquitetura

Esta atividade teve duração aproximada de 1 mês e consistiu do estudo das interfaces, funcionalidades e periféricos que a plataforma de hardware deveria conter. Para sua realização, foi necessária a integração da equipe de desenvolvimento para discussões técnicas com o intuito de projetar a arquitetura do sistema.

Dentre os resultados obtidos nesta fase do projeto encontram-se a elaboração da arquitetura de hardware e do *Documento de Requisitos*. A arquitetura de hardware é representada através do diagrama de blocos mostrado na **Figura 1**. Este diagrama de blocos contém as principais interfaces da plataforma de hardware, bem como os barramentos utilizados para comunicação entre os dispositivos e o processador.

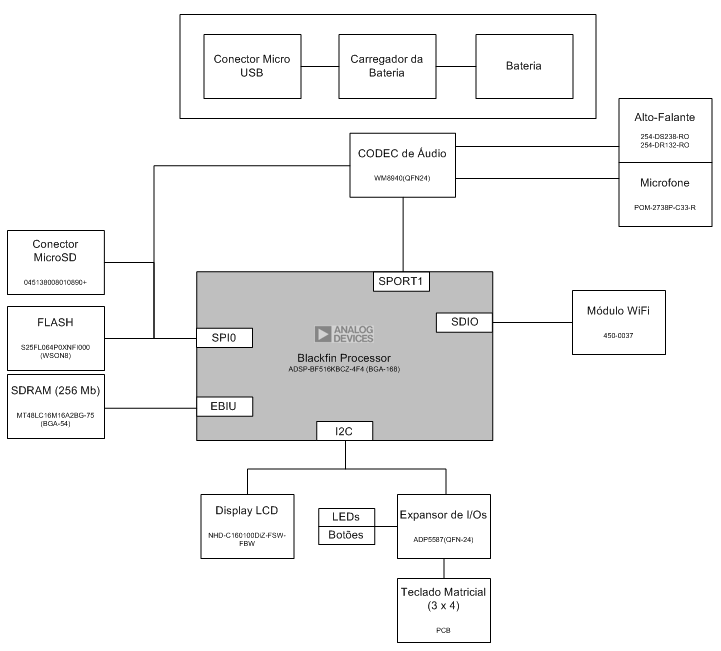
****

Figura 1 – Arquitetura de hardware.

## Pesquisa de Componentes Críticos

O objetivo desta atividade foi de selecionar componentes eletrônicos adequados para o desenvolvimento de um hardware condizente com a arquitetura proposta. Foi selecionado também um gabinete para encapsulamento do hardware. O primeiro componente eletrônico selecionado foi o processador. A partir do estudo de suas funcionalidades foram verificados os tipos de interfaces necessárias para a comunicação com os periféricos presentes na arquitetura. A partir de então foram selecionados os componentes críticos. Esta etapa foi executada por toda a equipe técnica e teve duração aproximada de 1 mês.

## Desenvolvimento do Esquema Elétrico

Nesta fase de projeto foram elaborados os esquemas elétricos com base na arquitetura da plataforma que já havia sido definida. Foi utilizado o software Altium Designer para a implementação dos esquemas elétricos, que foram divididos em seis páginas de acordo com sua funcionalidade, interface e periféricos. As páginas que constituem o esquema elétrico são brevemente descritas abaixo.

* **Página A**

1. Memória SDRAM.

2. Sinais de controle dos barramentos de memória.

* **Página B**

1. Dispositivos com barramento SPI.

2. Circuito de reset.

3. LEDs de propósito geral.

4. Conectores para comunicação com placas externas (JTAG e ethernet).

5. Elementos de auxílio a montagem (fiduciais, identificadores da placa e sinalização).

* **Página C**

1. Codec de áudio.

2. Conectores de áudio acessíveis e não-acessíveis ao usuário.

* **Página D**

1. Teclado matricial.

2. LCD.

3. Sinais de controle do codec de áudio.

* **Página E**

1. Módulo WiFi.

* **Página F**

1. Fontes chaveadas e reguladores de tensão.

2. Supervisor de bateria.

3. Conector da bateria.

Esta atividade foi desempenhada pela equipe de hardware e teve duração aproximada de 1 mês. A **Figura 2** contém uma representação de todos os esquemas elétricos. Após concluída essa atividade foi realizada sua revisão por parte dos integrantes da equipe técnica que não foram responsáveis diretos pela elaboração dos esquemas elétricos, permitindo a identificação de erros e melhorias. A revisão dos esquemas elétricos teve duração aproximada de duas semanas.

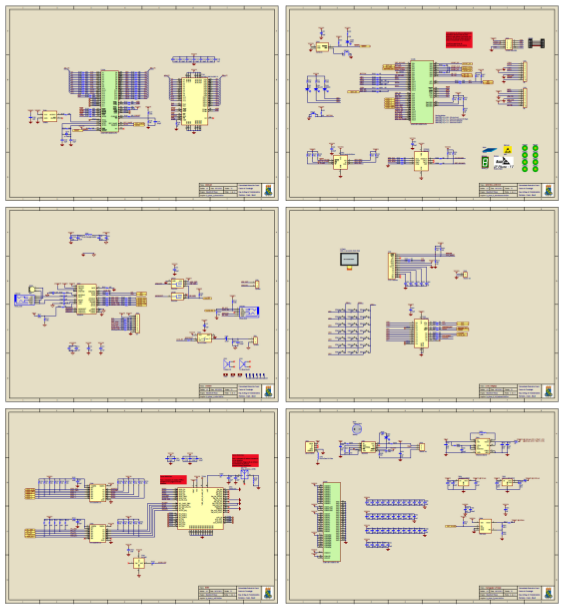
****

Figura 2 – Esquemas elétricos.

## Layout

Nesta etapa foram realizados estudos relacionados à disposição mecânica da placa de circuito impresso considerando as dimensões do gabinete definido na fase de pesquisa de componentes. Além disso, foi definida a topologia de roteamento com o estabelecimento do perfil das camadas que constituem a placa. Ainda nesta etapa foi necessário estudo e aplicação de conceitos relacionados à integridade de sinais, sempre considerando as restrições de roteamento que foram identificadas para alguns circuitos integrados e para o módulo WiFi. Esta atividade teve duração aproximada de 1 mês, envolvendo apenas a equipe de hardware.

O resultado desta fase do projeto foi a elaboração do layout, o que foi realizado utilizando o software Altium Designer. A **Figura 3** contém a representação da placa a partir de um modelo tridimensional, o que é gerado após a conclusão do roteamento.

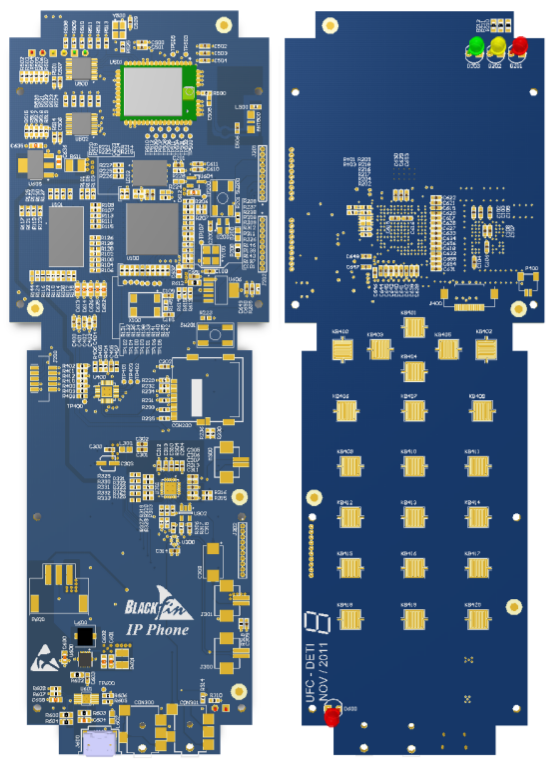
****

Figura 3 – Modelo tridimensional da placa de circuito impresso.

## Fabricação e Montagem da PCI

Devido a lentidão dos processos de aquisição junto aos fornecedores de componentes eletrônicos e fabricantes de PCI, houve atraso na execução da atividade *A6 – Fabricação e montagem da PCI*. Em consequência, a atividade *A7 – Testes de hardware* também sofrerá atraso.

# Atividades de Firmware

Esta seção tem como objetivo indicar a metodologia e detalhes de implementação do firmware desenvolvido para contemplar todas as funcionalidades do protótipo de hardware do projeto Blackfin IP Phone. Para o desenvolvimento do firmware foi utilizada uma placa de referência cujas interfaces e arquitetura do processador considerados na 1a versão do projeto Blackfin IP Phone são as mesmas, de modo a facilitar a portabilidade do firmware. Desse modo, todo o trabalho desenvolvido nesta plataforma será denotado por *Versão de Referêcia* do projeto Blackfin IP Phone.

## Protótipo de Hardware (Versão de Referência)

Esta seção contém uma breve descrição da arquitetura contemplada na Versão de Referência do projeto Blackfin IP Phone. Em ambas versões o hardware é baseado em um componente da família de processadores Blackfin.

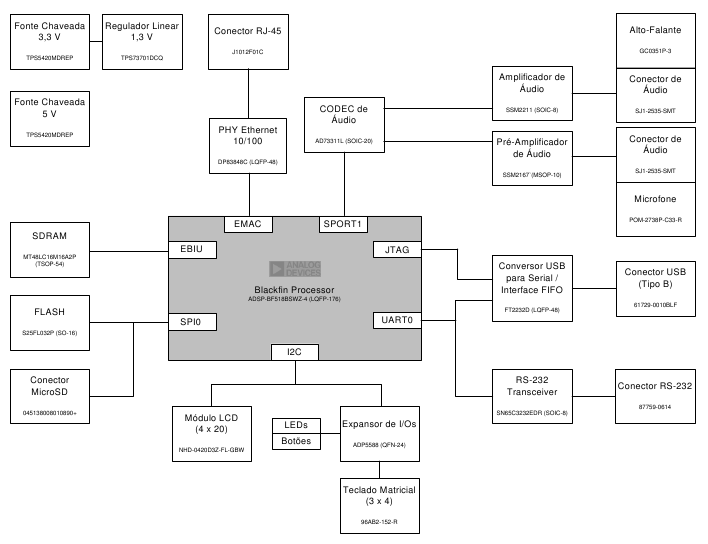
****

Figura 4 – Arquitetura de hardware da Versão de Referência

Dentre as funcionalidades da arquitetura de hardware encontra-se a interface com o usuário constituída por mecanismos intuitivos e de fácil utilização, o que é mandatório em equipamentos eletrônicos com acessibilidade satisfatória. São ainda disponíveis interface ethernet, conexão com um cartão de memória microSD, conexão com um display de caracteres e teclado matricial. É utilizada memória SDRAM conectada ao barramento externo do processador e memória flash acessível através de interface SPI. Através da conexão USB são disponibilizadas as interfaces JTAG ou serial, o que é contemplado através de um conversor de USB para serial e/ou interface FIFO. A interface serial do processador também é disponibilizada de modo direto através de um conversor de nível lógico. A **Figura 4** representa a arquitetura de hardware da Versão de Referência do projeto Blackfin IP Phone.

Para maiores informações sobre o desenvolvimento de hardware da Versão de Referência do projeto Blackfin IP Phone, consultar os artefatos que encontram-se disponíveis publicamente e podem ser acessados em <http://code.google.com/p/blackfin-ip-phone-hw>. A **Figura 5** contém uma imagem da Versão de Referência do projeto Blackfin IP Phone.

****

Figura 5 – Protótipo de hardware da Versão de Referência

De modo geral, no primeiro semestre, as atividades executadas pela equipe de firmware consistiram de estudo sobre sistemas embarcados, elaboração da arquitetura de firmware, definição do ambiente de desenvolvimento e validação de todas as interfaces contidas na plataforma de hardware. Todas essas atividades foram executadas sobre a Versão de Referência.

## Ambiente de Desenvolvimento

Logo no início do projeto foram definidas regras de desenvolvimento de firmware, bem como configuração básica das estações de trabalho e metodologia de desenvolvimento. Num período de aproximadamente 1 mês foram definidos, instalados e executados o conjunto de utilitários necessários para compilação, depuração e geração de programas executáveis a partir dos artefatos de firmware. A esse conjunto de ferramentas dá-se o nome de *toolchain*.

## Bootloader

Após a instalação bem sucedida do toolchain, foi realizado um estudo sobre o U-Boot, um *bootloader* bastante utilizado por processadores Blackfin, disponível em [www.blackfin.uclinux.org](http://www.blackfin.uclinux.org) através do projeto *Das U-Boot for the Blackfin Processor*. Utilizando essas ferramentas foi possível gerar uma imagem do bootloader e o sistema foi capaz de realizar seu primeiro procedimento de boot. Este procedimento foi suficiente para validar a comunicação entre o processador e as memórias SDRAM e flash. Utilizando o bootloader foi ainda possível validar a interface de rede do sistema a partir de onde é realizado o download da imagem do *uClinux*, distribuição do Linux para sistemas embarcados que está sendo utilizada nesse projeto.

A gravação da imagem do bootloader na memória flash foi realizada com sucesso, permitindo a ocorrência do procedimento de boot mesmo após o desligamento do sistema.

## uClinux

Após validação da interface de rede através do U-Boot, foi possível fazer a carga da imagem do uClinux de modo conveniente para o desenvolvimento de firmware. Desse modo, foi possível a execução do Linux na plataforma de hardware, o que é cenário para a validação de todas as interfaces contidas no sistema.

Abaixo são apresentados um conjunto de atividades que foram realizadas sobre o uClinux e são a base para o início do desenvolvimento da aplicação principal do projeto Blackfin IP Phone.

* Criação do perfil do sistema.
* Customização dos arquivos específicos da placa.
* Configuração do sinal de reset.
* Aplicação de teste e validação do expansor de I/Os.
* Aplicação de teste e validação do codec de áudio.
* Aplicação de teste e validação do LCD.
* Testes com a biblioteca liblinphone.
* Desenvolvimento do driver do LCD.

## Aplicação

No final do primeiro semestre foi definida a arquitetura da aplicação. A implementação da aplicação será baseada em uma máquina de estados, onde os possíveis estados serão associados as diferentes telas que serão apresentadas no dispositivo LCD. A máquina de estados será sensível a eventos, que por sua vez são gerados a partir do acionamento de botões ou interrupções provenientes de dispositivos como o PHY ethernet, por exemplo.

Um elemento fundamental para o atendimento dos requisitos e implementação das funcionalidades de um sistema VoIP é a biblioteca *liblinphone*. A liblinphone é uma API que foi desenvolvida para o projeto Linphone, um softphone portado para sistemas embarcados. Esta API será utilizada no projeto Blackfin IP Phone.

## Cenário de Testes

Os testes constituem uma fase importante do ciclo de desenvolvimento de firmware, já que, através deles, é possível identificar bugs e validar o que já foi desenvolvido. Para que os testes sejam efetivos, no entanto, é necessário compor um cenário de testes que explore todas as características do sistema em um contexto similar ao de utilização do dispositivo.

Um telefone VoIP fundamenta-se em um protocolo de sinalização, um protocolo de rede de tempo-real e no processamento e transmissão de streams de áudio. Dessa forma, um cenário de testes adequado para este projeto deve permitir a utilização conjunta de tais protocolos.

Uma arquitetura composta de um servidor de telefonia VoIP ou IP PBX e dois telefones VoIP clientes realizando, através do servidor, chamadas entre si satisfaz nossos requerimentos, pois explora todos os elementos constituintes básicos de um sistema VoIP. A **Figura 6** esquematiza a arquitetura escolhida.

****

Figura 6 – Arquitetura de testes.

Como IP PBX, utilizamos o software Asterisk rodando em uma estação de trabalho Linux. O Asterisk é uma plataforma de desenvolvimento, livre e de código aberto, que possui os componentes de software necessários para criar sistemas telefônicos como PBX, Gateway e Call Center. Uma vez instalado, o Asterisk deve ser configurado para funcionar como PBX, através da criação de contextos, ramais e planos de discagem.

A Versão de Referência do projeto Blackfin IP Phone junto com o terminal VoIP da ATCOM, modelo AT-620R, são utilizados como clientes VoIP.

## Relatório de Firmware

Em paralelo a execução das atividades descritas nesta seção, está sendo realizada a escrita de um documento que contém detalhes sobre essas atividades e seus resultados. Esse documento é o *Relatório de Firmware*. A motivação para a escrita desse documento está relacionada a necessidade de documentação de todos os passos e métodos que foram considerados no processo de implementação do firmware. Quando concluído, espera-se que esse documento seja de grande valor para a comunidade de desenvolvedores, uma vez que pode representar um guia contendo todos os passos necessários para o alcance das metas do projeto.

# Atividades Complementares

Entre os dias 19 e 21 de outubro foi realizada a *1a Semana de Engenharia de Teleinformática*, evento realizado nas dependências do Centro de Tecnologia da Universidade Federal do Ceará, cujo objetivo é a divulgação do curso de Engenharia de Teleinformática através de minicursos, palestras, visitas técnicas e apresentações de projetos desenvolvidos por alunos do departamento. Dentre os eventos do 1o SETI foi realizado o minicurso *Layout de PCI utilizando o Software Altium Designer*, o que foi idealizado e executado pelos desenvolvedores do projeto Blackfin IP Phone. Foram abertas inscrições para preenchimento de vagas em duas turmas para este minicurso que teve duração de 6 horas. Segue abaixo a ementa do curso.

Este minicurso tem por objetivo fornecer o conhecimento básico para se projetar placas em circuito impresso utilizando o software Altium Designer.

Um layout de placa de circuito impresso consiste na organização dos componentes eletrônicos na forma mais otimizada possível e na conexão dos mesmos obedecendo a critérios elétricos evitando eventuais problemas como curto-circuito, ruído, interferência eletromagnética, dentre outros.

O minicurso atenderá os estudantes com conhecimento de circuitos elétricos e eletrônicos, e consiste dos seguintes conteúdos:

* Elaboração de bibliotecas de simbologias e geometrias de componentes eletrônicos.
* Elaboração de esquemas elétricos.
* Layout de placas de circuito impresso.

O minicurso foi realizado de modo dinâmico, onde os alunos puderam desenvolver suas próprias placas de circuito impresso, atendendo a requisitos definidos previamente e seguindo as orientações dadas pelos idealizadores do curso.

# Documentos de Referência

Alguns dos documentos descritos abaixo estão em desenvolvimento e contêm informações técnicas do projeto. Esses documentos estão disponíveis publicamente e suas versões atualizadas podem ser visualizadas através de acesso ao repositório do projeto. O diretório */svn/trunk/implementacao/doc* que contém esses documentos pode ser acessado através da árvore de diretórios do projeto, cujo repositório encontra-se em <http://code.google.com/p/blackfin-ip-phone/source/browse/>. Segue breve descrição de cada um dos documentos de referência.

* **Manual do Usuário**

Documento cujo público-alvo são os usuários do equipamento. Este documento contém detalhes sobre as interfaces de hardware, interfaces com o usuário, modo de funcionamento e configuração, além de aspectos básicos relacionados a montagem do equipamento eletrônico.

* **Relatório de Firmware**

Documento escrito pelos desenvolvedores de firmware cujo público-alvo é a equipe técnica. Contém detalhes relacionados ao desenvolvimento de firmware.

* **Relatório de Hardware**

Documento escrito pelos desenvolvedores de hardware cujo público-alvo é a equipe técnica. Contém detalhes relacionados ao desenvolvimento de hardware.

* **Relatório de Acompanhamento**

Documento destinado ao cliente. Contém o acompanhamento das atividades do projeto e sua avaliação a partir do cronograma proposto originalmente.

# Conclusão

Os resultados obtidos até o fim do primeiro semestre são considerados satisfatórios, uma vez que os prazos definidos no cronograma do projeto foram atendidos e houve considerável avanço da equipe técnica em atividades críticas como o desenvolvimento de firmware, por exemplo. Além disso, apesar de não terem sido realizadas atividades relacionadas a montagem e testes de hardware, a expectativa é de que a primeira versão atenda plenamente a todos os requisitos do projeto, pois o projeto do hardware foi realizado por profissionais bastante experientes e, antes de sua fabricação, a arquitetura e os diversos artefatos de hardware foram submetidos a revisões precisas, também desempenhadas por profissionais qualificados.

Este projeto conta ainda com a motivação da equipe técnica e o apoio dos professores do Departamento de Engenharia de Teleinformática, proporcionando um ambiente de trabalho dinâmico e permitindo o atendimento de todos os requisitos do projeto no prazo estipulado e nas condições inicialmente estabelecidas.

Um dos principais avanços neste período foi o amadurecimento da equipe de firmware. Vale ressaltar que projetos desse porte são de elevada complexidade e o Ceará conta com poucos profissionais experientes no desenvolvimento de sistemas embarcados. No Ceará, os grupos de estudo dentro das universidades e empresas que desempenham esse tipo de atividade são escassos e não há um centro de referência para desenvolvimento de sistemas embarcados, diferente do que ocorre em outras regiões do Brasil. Desse modo, o apoio do BNB é de fundamental importância para o setor tecnológico cearense e, mais especificamente, está contribuindo para o crescimento de um grupo de desenvolvimento de sistemas embarcados, o que é, sem dúvida, o passo inicial para o estabelecimento de um centro de referência em projetos desse gênero.

O grupo de estudo que está sendo formado graças ao apoio do BNB encontra-se integralmente disponível para desempenhar as atividades do projeto e atividades acadêmicas relacionadas a programas de graduação e pós-graduação. Além disso, este grupo, que foi estabelecido no Centro de Tecnologia da Universidade Federal do Ceará, busca um incentivo ao crescimento do setor tecnológico cearense exatamente através de iniciativas como essa. Por isso, a equipe do projeto conta com o apoio do BNB, através de iniciativas como essa, para promover o crescimento do setor tecnológico cearense e aumentar ainda mais a qualidade e número de pessoas envolvidas com o desenvolvimento de sistemas embarcados, o que é proporcionado principalmente pela continuidade e disponibilidade de projetos.